

Patent

Customer No. 31561
Application No.: 10/711,542
Docket No. 12807-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Tseng
Application No. : 10/711,542
Filed : Sep 24, 2004
For : SILICON CONTROLLED RECTIFIER
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93109340,
filed on: 2004/4/5.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: February 18, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

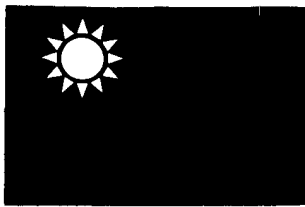
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

RECEIVED
MAR - 9 2005
OIPE/JCWS



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 04 月 05 日
Application Date

申請案號：093109340
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 10 月 22 日
Issue Date

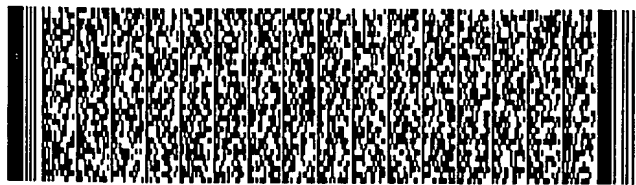
發文字號：09320948260
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	矽控整流器
	英 文	SILICON CONTROLLED RECTIFIER
二、 發明人 (共1人)	姓 名 (中文)	1. 曾仁洲
	姓 名 (英文)	1. TSENG, JEN CHOU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮康莊街5號
	住居所 (英 文)	1. No. 5, Kangjhuang St., Jhudong Township, Hsinchu County 310, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. CHIAO, ARTHUR Y. C.



12807TWE PTD

四、中文發明摘要 (發明名稱：矽控整流器)

一種矽控整流器，包括第一導電型基底、二第二導電型深井區、閘極、第一源極/汲極、第二源極/汲極、第一導電型摻雜區以及第一導電型浮接摻雜區。其中，第二導電型深井區係有間距地配置在第一導電型基底中。閘極係配置於第一導電型基底上，並位於二第二導電型深井區之間。第一及第二源極/汲極分別配置在二第二導電型深井區之表面。第一導電型摻雜區係配置在第一導電型基底的表面，而第一導電型浮接摻雜區係與第一源極/汲極相鄰地配置在第二導電型深井區之中，以與第一源極/汲極構成等效齊納二極體，使此矽控整流器具有高維持電壓之特性。

伍、(一)、本案代表圖為：第_5_圖

(二)、本案代表圖之元件代表符號簡單說明：

500：P型基底

六、英文發明摘要 (發明名稱：SILICON CONTROLLED RECTIFIER)

A silicon controlled rectifier comprising a first type of conductive substrate, two second type of conductive deep wells, a gate, a first source/drain, a second source/drain, a first type conductive doped region and a first type of conductive floating doped region. The second type of conductive deep wells are separately disposed in the first type of conductive



四、中文發明摘要 (發明名稱：矽控整流器)

502a、502b：N型深井區

504：閘極

506、508：源極/汲極

510：P型摻雜區

512：P型浮接摻雜區

514：隔離結構

516：N型摻雜延伸區

518：P型摻雜延伸區

520：PNP雙載子電晶體

522：NPN雙載子電晶體

六、英文發明摘要 (發明名稱：SILICON CONTROLLED RECTIFIER)

substrate. The gate is disposed on the first type of conductive substrate and between the second type of conductive deep wells. The first and second source/drain are disposed on the surface of two second type of conductive deep wells, respectively. The first type of conductive floating doped region is disposed on the surface of the first type of conductive



四、中文發明摘要 (發明名稱：矽控整流器)

六、英文發明摘要 (發明名稱：SILICON CONTROLLED RECTIFIER)

substrate and in the second type of conductive deep wells nearby the first source/drain so as to configure a equivalent zener diode for providing the silicon controlled rectifier a characteristic of higher holding voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種半導體元件，且特別是有關於一種可用以作為靜電放電保護元件之矽控整流器 (Silicon Controlled Rectifier)。

先前技術

靜電放電 (Electrostatic Discharge，以下簡稱為 ESD) 為自非導體表面之靜電移動的現象，其會造成積體電路中之半導體與其它電路組成之損害。舉例來說，在相對濕度較高的情況下，可於行走在地毯上的人體中檢測出約幾百至幾千伏特的靜態電壓。而在相對濕度較低的情況下，則可檢測出約一萬伏特以上的靜態電壓。同理，在封裝積體電路的機器或測試積體電路的儀器上，亦可能因所處環境之濕度或其他因素而產生約幾百至幾千伏特的靜態電壓。當上述的帶電體(人體、機器或儀器)接觸到晶片時，將會向晶片放電，此靜電放電之瞬間功率可能會造成晶片中的積體電路損壞或失效。

因此，為了避免靜電放電損傷晶片中的積體電路，各種靜電放電保護元件的設計也就因應而生。圖1係繪示一般靜電放電保護電路的電路配置方塊示意圖。請參照圖1，常見的作法是在晶片上的輸入/輸出焊墊(I/O Pad) 100 設計一靜電放電 (ESD) 保護電路102，以提供靜電散逸路徑，使得晶片的線路免於被靜電放電電流破壞。在一般情況下，圖1中之電路依正常操作，則ESD保護電路102宛如不存在一樣，因此可使I/O焊墊100直接耦接到內



五、發明說明 (2)

部電路104。但是，當有一高電壓(即靜電放電所產生的電壓)脈衝產生時，ESD保護電路102可避免使來自I/O焊墊100的電流流到內部電路104，藉此保護內部電路104不會遭受損害。

在傳統技術中，常以金氧半導體(Metal Oxide Semiconductor, MOS)電晶體作為ESD的保護元件。圖2係繪示一種高電壓N型金氧半導體(High Voltage NMOS, HVNMOS)電晶體之剖面示意圖。而圖3係繪示此HVNMOS電晶體的理想電壓-電流特性曲線圖。請同時參照圖2及圖3，當汲極202受到逐漸增強的ESD電壓時，HVNMOS電晶體中的電流會隨著電壓的增強而緩慢增加。當此電壓達到HVNMOS電晶體的觸發電壓(triggering voltage) V_{t1} 之後，P型基底200與N型井204之間的接面會產生崩潰，此時電流增加緩慢，而電壓則隨電流增加而降低。當HVNMOS電晶體的電壓降到一維持電壓(Holding Voltage) V_h 之後，縱使電流迅速增加，電壓仍會維持不變(或緩慢地增加)。

然而，當施予此HVNMOS電晶體的電壓值大於HVNMOS電晶體之觸發電壓 V_{t1} 時，且順向導通此HVNMOS電晶體之後，由於其所能承受的最大順向電流 I_{t2} 太小，因此很快便會發生第二次接面崩潰，此HVNMOS電晶體無法驟回(snapback)並開始產生漏電流，而使此HVNMOS電晶體就此失效。由此可知，HVNMOS電晶體並無法單獨作為一種ESD的保護元件。



五、發明說明 (3)

為了使HVN MOS電晶體也可以用來當作ESD的保護元件，習知的一種作法是在HVN MOS電晶體內形成埋入式矽控整流器 (Embedded Silicon Controlled Rectifier)，以提高HVN MOS電晶體所能承受的最大ESD電流，進而增強HVN MOS電晶體對ESD的耐受力。圖4繪示習知具有埋入式矽控整流器之HVN MOS的剖面示意及其等效電路圖。請參照圖4，P型摻雜區410與N型摻雜區408係連接成汲極404。其中，P型摻雜區410、N型井402以及P型基底400構成了一個PNP雙載子二極體414，而N型井402、P型基底400以及源極406則構成一個NPN雙載子二極體412。

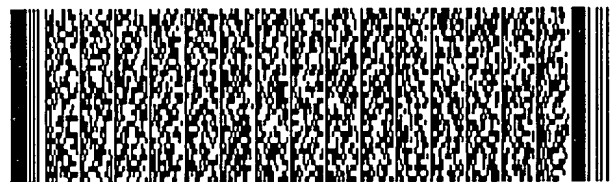
而PNP雙載子二極體與NPN雙載子二極體之集極 (collector) 皆耦接至彼此之基極 (base)，因而形成一種具有P-N-P-N三個接面的半導體元件，且其具有源極、汲極以及閘極三端電極。而此種具有P-N-P-N接面之三端元件即是所謂之矽控整流器，其可用以提高整體電晶體對ESD的耐受力。

然而，當發生ESD時，若流入汲極404的電流過大，很可能會擊穿此HVN MOS的P-N接面而使此HVN MOS失效。

發明內容

因此，本發明的目的就是提供一種矽控整流器 (Silicon Controlled Rectifier)，可承受較強大的靜電放電 (Electrostatic Discharge, ESD) 電流，以便於有效地保護積體電路以避免ESD對其造成傷害。

本發明提出一種矽控整流器，主要是由第一導電型



五、發明說明 (4)

基底、第二第二導電型深井區、閘極、第一源極/汲極、第二源極/汲極、第一導電型摻雜區以及第一導電型浮接摻雜區所構成。其中，第二導電型深井區係有間距地配置在第一導電型基底中，而閘極則係配置於第一導電型基底上，並位於此些第二導電型深井區之間。第一及第二源極/汲極係分別配置在閘極兩側的第二導電型深井區之表面。第一導電型摻雜區係配置在第一導電型基底的表面，而第一導電型浮接摻雜區則係與第一源極/汲極相鄰地配置在第二導電型深井區之中。其中，當驅動該矽控整流器時，該第一導電型浮接摻雜區係處於浮接狀態。

依照本發明之實施例所述，第一導電型浮接摻雜區為P型浮接摻雜區，第二導電型深井區為N型深井區。而第一與第二源極/汲極則為摻有N型摻質之源極/汲極。而在本發明之另一實施例中，第一導電型浮接摻雜區為N型浮接摻雜區，第二導電型深井區為P型深井區。而第一與第二源極/汲極則為摻有P型摻質之源極/汲極。

依照本發明之實施例所述，第一導電型基底為P型基底，第一導電型摻雜區則為P型摻雜區。而在本發明之另一實施例中，第一導電型基底為N型基底，第一導電型摻雜區則為N型摻雜區。

依照本發明之實施例所述，此金氧半導體中更包括有多個隔離結構，配置於第二導電型深井區與閘極以及第一導電型摻雜區之間。

依照本發明之實施例所述，此金氧半導體中更包括



五、發明說明 (5)

有多個第二導電型摻雜延伸區，配置於第一導電型基底中，並與第二導電型深井區相鄰。且在本發明之一實施例中，此第二導電型摻雜延伸區為N型摻雜延伸區。而在另一實施例中，此第二導電型摻雜延伸區為P型摻雜延伸區。

依照本發明之實施例所述，此金氧半導體中更包括有多個第一導電型摻雜延伸區，配置於第一導電型基底中，並與第一導電型摻雜區相鄰。且在本發明之一實施例中，此第一導電型摻雜延伸區為P型摻雜延伸區。而在另一實施例中，此第一導電型摻雜延伸區為N型摻雜延伸區。

本發明之矽控整流器的維持電壓亦大於習知之埋入式矽控整流器的維持電壓，且本發明之矽控整流器所能承受的最大ESD電壓遠大於高電壓金氧半導體電晶體。由此可知，本發明可提高矽控整流器對ESD以及閉鎖 (latch up) 現象的耐受度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

本發明係揭露一種對電壓/電流具有較高之耐受力的矽控整流器 (Silicon Controlled Rectifier, SCR)，以便於作為積體電路中靜電放電 (Electrostatic Discharge, ESD) 的保護元件。以下將以較佳實施例來



五、發明說明 (6)

詳細說明本發明，但其並非用以限定本發明。特別是，以下之第一實施例中是以第一導電型之型態為P型，而第二導電型之型態為N型來說明，但熟習該項技術者應知，亦可以將第一導電型置換成N型，將第二導電型置換成P型，其將於第二實施例中作說明。

圖5係繪示本發明一較佳實施例的一種矽控整流器之剖面示意以及等效電路圖。請參照圖5，此矽控整流器50係利用一N型金氧半導體電晶體來製作，其主要是由P型基底500、N型深井區502a、N型深井區502b、閘極504、源極/汲極506、源極/汲極508、P型摻雜區510以及P型浮接摻雜區512所構成。其中，N型深井區502a與N型深井區502b係有間距地配置在P型基底500中，而閘極504則係配置於P型基底500上，並位於N型深井區502a與N型深井區502b之間。

源極/汲極506與源極/汲極508中係摻雜N型之摻質，且其係分別配置在N型深井區502a與N型深井區502b之表面，而P型摻雜區510係配置在P型基底500的表面，P型浮接摻雜區512則係與源極/汲極506相鄰地配置在N型深井區512a之中。且特別的是，P型浮接摻雜區512係浮接於驅動矽控整流器50的外部電路（未繪示）。

本實施例之閘極504、源極/汲極506以及源極/汲極508的形成方法例如是與一般金氧半導體電晶體的製程相同或相似，熟習此技藝者應當熟知其製程，此處將不再對其製程作詳細的說明。而N型深井區502a、N型深井區



五、發明說明 (7)

502b、P型摻雜區510以及P型浮接摻雜區512的形成方法亦是與現今半導體元件中之摻雜區的製程相同，其例如是利用離子植入法將N型或P型摻質摻入P型基底500之中。

此外，在本實施例中，N型深井區502a/502b與閘極504以及P型摻雜區510之間還配置有隔離結構514，用以防止N型深井區502a/502b與閘極504間的氧化層崩潰而形成通路而使此SCR失效。而隔離結構514的形成方法是區域氧化法 (Local Oxidation，簡稱LOCOS)。

另外，本實施例還在N型深井區502a與N型深井區502b之兩側的P型基底500中配置有N型摻雜延伸區516，而P型摻雜區510的兩側之P型基底500中亦配置有P型摻雜延伸區518。且N型摻雜延伸區516以及P型摻雜延伸區518皆係位於隔離結構514之下方。而N型摻雜延伸區516以及P型摻雜延伸區518的形成方法例如是離子植入法。

由圖5中的等效電路可知，P型浮接摻雜區512與N型深井區502a以及P型基底500組成一PNP雙載子電晶體 (Bipolar Junction Transistor, BJT) 520，而RNW為N型深井區502a之阻值。其中，P型浮接摻雜區512為PNP雙載子電晶體520之射極 (Emitter)，N型深井區502a為PNP雙載子電晶體520之基極 (Base)，而P型基底500則為PNP雙載子電晶體520之集極 (Collector)。

另一方面，N型深井區502a與P型基底500以及N型深井區502b則組成一NPN雙載子電晶體522，而RP為P型基底



五、發明說明 (8)

500 之阻值。其中，N 型深井區 502a 為 NPN 雙載子電晶體 522 之集極，P 型基底 500 為 NPN 雙載子電晶體 522 之基極，N 型深井區 502b 則為 NPN 雙載子電晶體 522 之射極。也就是說，PNP 雙載子電晶體 520 之集極係耦接至 NPN 雙載子電晶體 522 之基極，而 PNP 雙載子電晶體 520 之基極則耦接至 NPN 雙載子電晶體 522 之集極，因而與閘極 504、源極/汲極 506 以及源極/汲極 508 構成一矽控整流器。

當以本實施例之矽控整流器作為靜電放電之保護元件時，靜電放電所產生的電流會由源極/汲極 506 流入而在阻值 R_{NW} 之兩端產生電位差。若此處的電位差大於此 N 型深井區 502a 與 P 型基底 500 之接面的崩潰電壓，此接面即會發生崩潰，進而導通 NPN 雙載子電晶體 522。一旦 NPN 雙載子電晶體 522 被導通之後，PNP 雙載子電晶體 520 即會緊接著被導通。

值得注意的是，由於源極/汲極 506 與 P 型浮接摻雜區 512 之間並未藉由導電層來降低其間的阻抗，而且源極/汲極 506 與 P 型浮接摻雜區 512 之間會發生電子穿隧效應 (tunneling effect)，也就是說，電子會從 P 型浮接摻雜區 512 穿隧至摻有 N 型摻質的源極/汲極 506 之中。因此，此處可將其視為有一等效之齊納二極體 (Zener diode) 530。而此等效之齊納二極體 530 係用以增加矽控整流器的維持電壓，以避免外部施予矽控整流器的雜訊電壓過大而使其發生閉鎖 (latch up) 現象。

特別的是，源極/汲極 506 與 P 型浮接摻雜區 512 所構



五、發明說明 (9)

成之等效齊納二極體530的崩潰電壓 (breakdown voltage) 將因電子的穿隧效應而提高。因此，矽控整流器的維持電壓 (holding voltage) (如圖3所繪示之電壓 V_h) 亦會跟著提高。且由實驗數據可知，本實施例之矽控整流器所能承受的最大ESD電壓與高電壓N型金氧半導體 (High Voltage NMOS, HVNMOS) 電晶體相較之下，已從500伏特增加至3000伏特。由此可證明，本實施例之矽控整流器可承受較大之電壓，因此較HVNMOS適於作為積體電路之ESD的保護元件。

此外，本發明還可以利用P型的金氧半導體電晶體來製作矽控整流器。圖6係繪示本發明之另一實施例的一種矽控整流器的剖面示意及等效電路示意圖。而且，此實施例之結構僅是將上述實施例之P型元件替換成N型元件，而上述實施例的N型元件則替換為P型元件。元件的形成方法大致上皆如上述實施例所述，以下將不再贅述。

請參照圖6，由圖6所繪示的等效電路可知，N型浮接摻雜區612與P型深井區602a以及N型基底600組成一NPN雙載子電晶體 (Bipolar Junction Transistor, BJT) 620，而 R_N 為P型基底600之阻值。其中，N型浮接摻雜區612為NPN雙載子電晶體620之射極 (Emitter)，P型深井區602a為NPN雙載子電晶體620之基極 (Base)，而N型基底600則為NPN雙載子電晶體620之集極 (Collector)。

另一方面，P型深井區602a與N型基底600以及P型深



五、發明說明 (10)

井區602b則組成一PNP雙載子電晶體622，而RPW為P型深井區602a之阻值。其中，P型深井區602a為PNP雙載子電晶體622之集極，N型基底600為PNP雙載子電晶體622之基極，P型深井區602b則為NPN雙載子電晶體622之射極。也就是說，NPN雙載子電晶體620之集極係耦接至PNP雙載子電晶體622之基極，而NPN雙載子電晶體620之基極則耦接至PNP雙載子電晶體622之集極，因而與閘極604、源極/汲極606以及源極/汲極608構成一矽控整流器。特別的是，源極/汲極606與N型浮接摻雜區612亦會構成一等效齊納二極體630。

如同上述實施例所述，源極/汲極606與N型浮接摻雜區612所構成之等效齊納二極體的崩潰電壓將因電子的穿隧效應而提高。因此，矽控整流器的維持電壓（如圖3所繪示之電壓 V_h ）亦會跟著提高。且由實驗數據可知，本實施例之矽控整流器的維持電壓與習知埋入式矽控整流器之維持電壓相較之下，已從約4~5伏特提高至約10.89伏特。此外，由實驗數據可知，本實施例之矽控整流器所能承受的最大ESD電壓與高電壓P型金氧半導體（High Voltage PMOS, HVPMOS）電晶體相較之下，已從500伏特增加至8000伏特。由此可證明，本實施例之矽控整流器可承受較大之電壓，因此較HVPMOS適於作為積體電路之ESD的保護元件。

由上述可知，本發明係在金氧半導體電晶體之源極/汲極旁配置一浮接摻雜區，使兩者構成一等效之齊納二

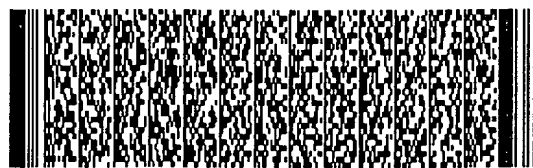


五、發明說明 (11)

極體，以藉由齊納二極體崩潰之特性來增加矽控整流器的維持電壓。而由於本發明之矽控整流器具有高維持電壓的特性，因此當本發明之矽控整流器作為積體電路之ESD的保護元件時，即可避免因外部所產生之雜訊電壓過大而使得矽控整流器發生閉鎖的問題。因此，本發明之矽控整流器的維持電壓大於習知之埋入式矽控整流器的維持電壓，且本發明之矽控整流器所能承受的ESD電壓亦遠大於高電壓金氧半導體電晶體。

由此可知，本發明之矽控整流器不但對ESD以及閉鎖現象具有較高的耐受度，更能夠產生自我保護的機制以避免自身遭受ESD的破壞。因此，本發明之矽控整流器可有效地保護積體電路免受ESD的破壞。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1係繪示一般靜電放電保護電路的電路配置方塊示意圖。

圖2係繪示一種HVN MOS電晶體之剖面示意圖。

圖3係繪示圖2之HVN MOS電晶體的電壓-電流特性曲線圖。

圖4繪示習知具有埋入式矽控整流器之HVN MOS的剖面示意及其等效電路圖。

圖5係繪示本發明一較佳實施例的一種矽控整流器之剖面示意以及等效電路圖。

圖6係繪示本發明另一實施例的一種矽控整流器之剖面示意以及等效電路圖。

【圖式標示說明】

50：矽控整流器

100：輸入/輸出焊墊

102：ESD保護電路

104：內部電路

200、400、500：P型基底

202：汲極

204、402：N型井

404：汲極

406：源極

408、610：N型摻雜區

410、510：P型摻雜區

412、522、620：NPN雙載子電晶體



圖式簡單說明

414、520、622：PNP 雙載子電晶體

502a、502b：N 型深井區

504、604：閘極

506、508、606、608：源極/汲極

512：P 型浮接摻雜區

514、614：隔離結構

516、618：N 型摻雜延伸區

518、616：P 型摻雜延伸區

530、630：等效齊納二極體

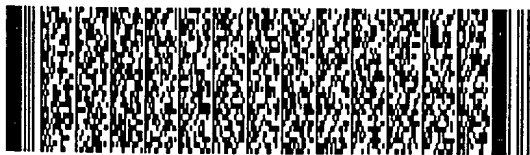
602a、602b：P 型深井區

612：N 型浮接摻雜區

Vt1：觸發電壓

Vh：維持電壓

It2：最大順向電流



六、申請專利範圍

1. 一種矽控整流器，包括：

- 一第一導電型基底；

- 二第二導電型深井區，有間距地配置於該第一導電型基底中；

- 一閘極，配置於該第一導電型基底上，並位於該些第二導電型深井區間；

- 一第一源極/汲極，配置於該些第二導電型深井區其中之一中，並位於該閘極之一側；

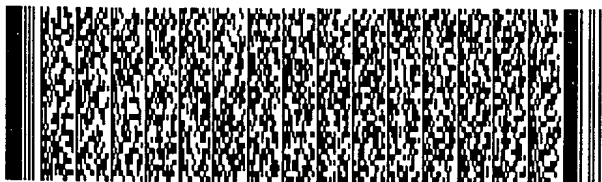
- 一第二源極/汲極，配置於該些第二導電型深井區其中之另一中，並位於該閘極之另一側；

- 一第一導電型摻雜區，配置於該第一導電型基底中；以及

- 一第一導電型浮接摻雜區，與該第一源極/汲極相鄰地配置於該些第二導電型深井區之一中，其中當驅動該矽控整流器時，該第一導電型浮接摻雜區係處於浮接狀態。

2. 如申請專利範圍第1項所述之矽控整流器，其中該第一導電型浮接摻雜區為P型浮接摻雜區，該些第二導電型深井區為N型深井區，該第一導電型基底為P型基底，且該第一導電型摻雜區為P型摻雜區，而該第一與第二源極/汲極為摻有N型摻質之源極/汲極。

3. 如申請專利範圍第1項所述之矽控整流器，其中該第一導電型浮接摻雜區為N型浮接摻雜區，該些第二導電型深井區為P型深井區，該第一導電型基底為N型基底，



六、申請專利範圍

且該第一導電型摻雜區為N型摻雜區，而該第一與第二源極/汲極為摻有P型摻質之源極/汲極。

4. 如申請專利範圍第1項所述之矽控整流器，更包括多數個隔離結構，配置於該些第二導電型深井區與該閘極以及該第一導電型摻雜區之間。

5. 如申請專利範圍第1項所述之矽控整流器，更包括多數個第二導電型摻雜延伸區，配置於該第一導電型基底中，並與該些第二導電型深井區相鄰。

6. 如申請專利範圍第5項所述之矽控整流器，其中該第二導電型摻雜延伸區為N型摻雜延伸區。

7. 如申請專利範圍第5項所述之矽控整流器，其中該第二導電型摻雜延伸區為P型摻雜延伸區。

8. 如申請專利範圍第1項所述之矽控整流器，更包括多數個第一導電型摻雜延伸區，配置於該第一導電型基底中，並與該些第一導電型摻雜區相鄰。

9. 如申請專利範圍第8項所述之矽控整流器，其中該第一導電型摻雜延伸區為P型摻雜延伸區。

10. 如申請專利範圍第8項所述之矽控整流器，其中該第一導電型摻雜延伸區為N型摻雜延伸區。



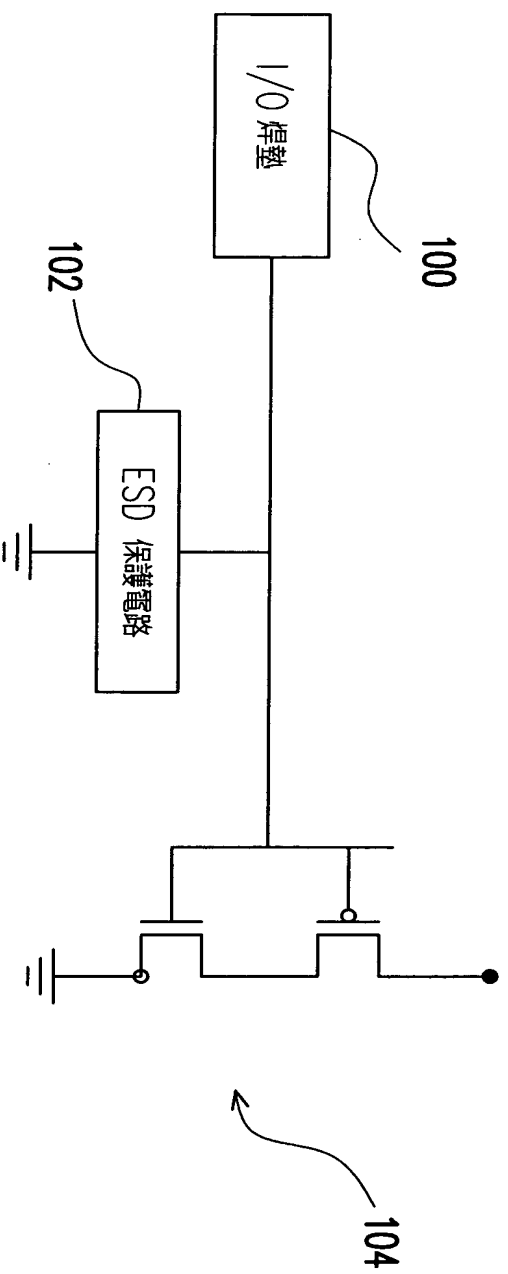


圖 1

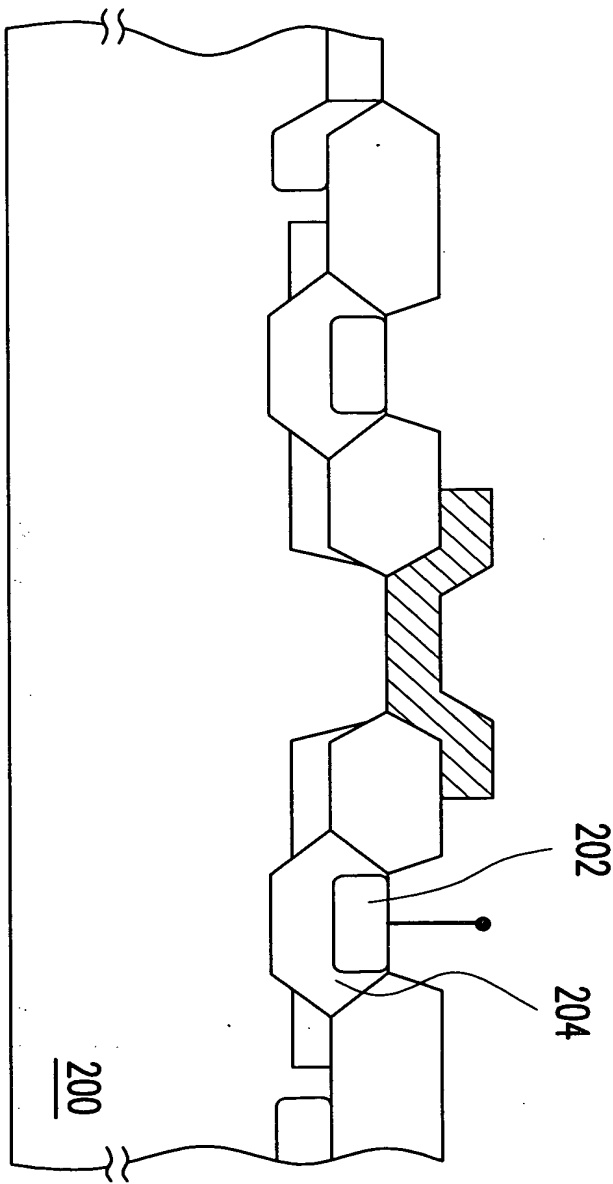


圖 2

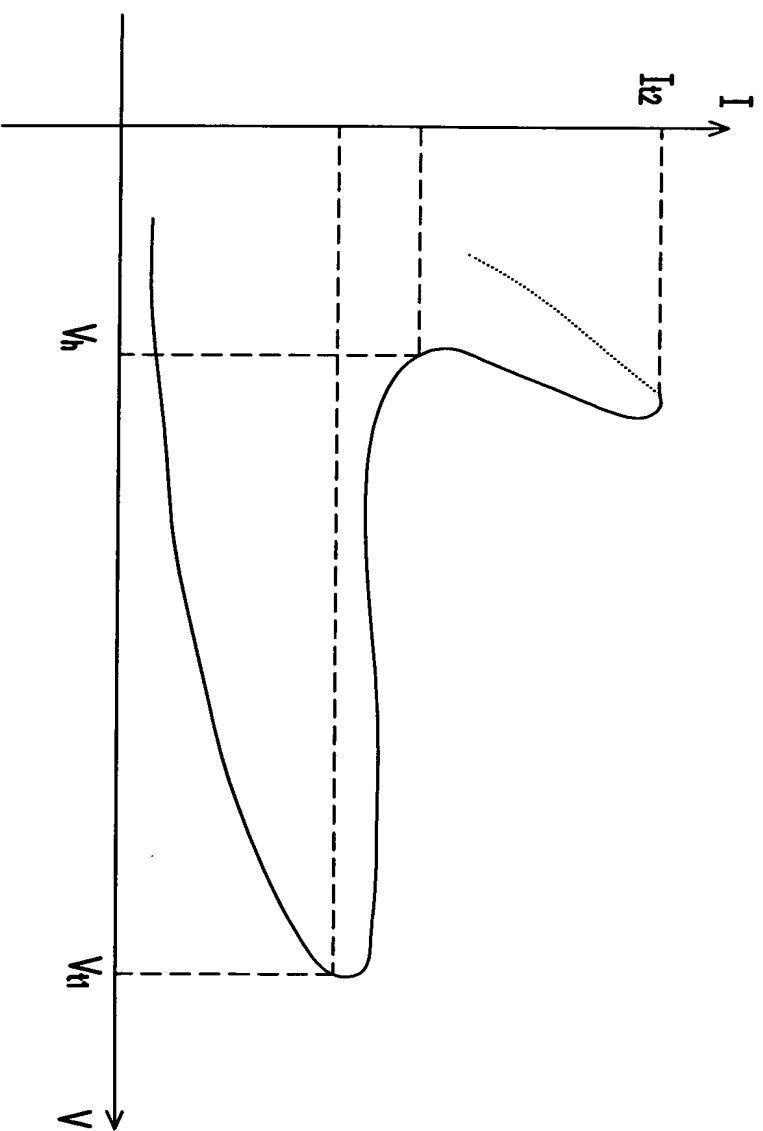


圖 3

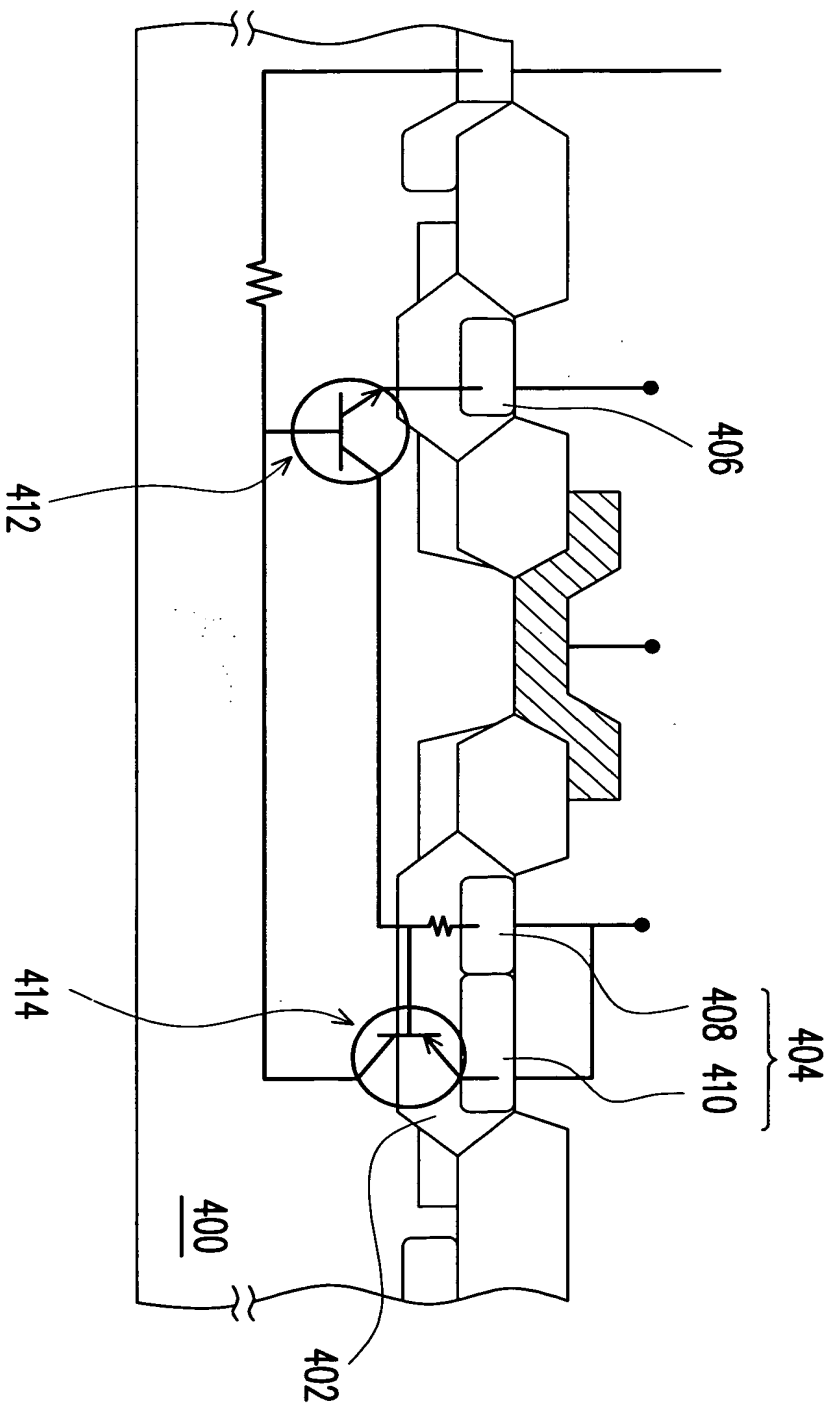


圖 4



五

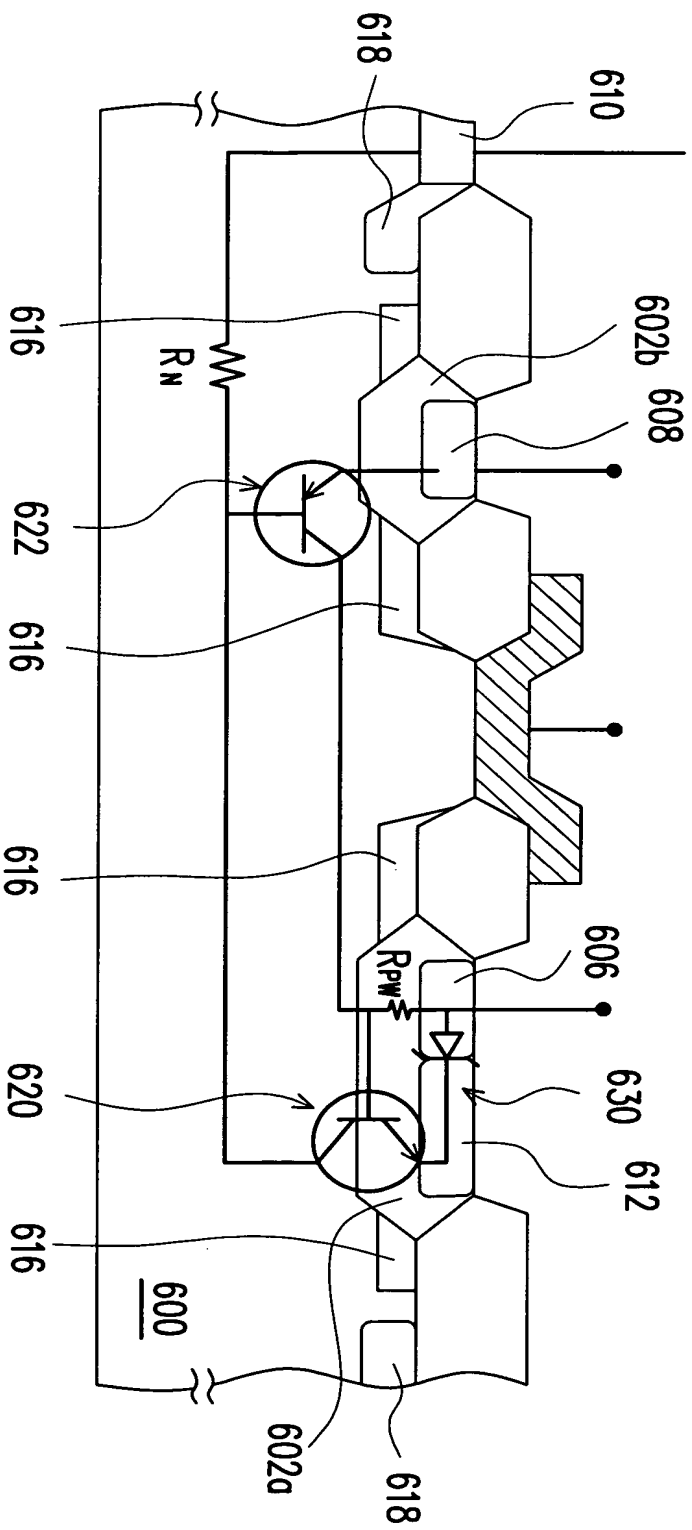
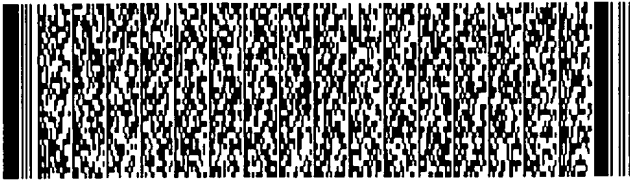
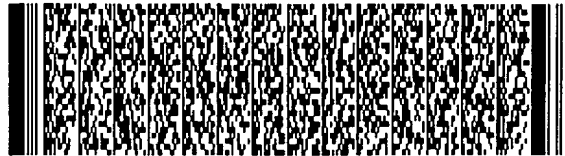


圖 6

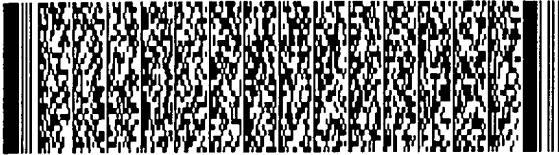
第 1/20 頁



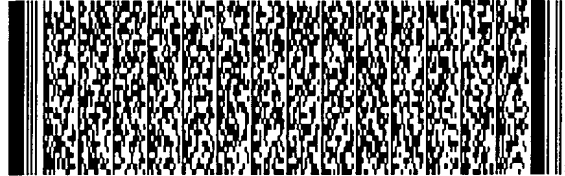
第 2/20 頁



第 2/20 頁



第 3/20 頁



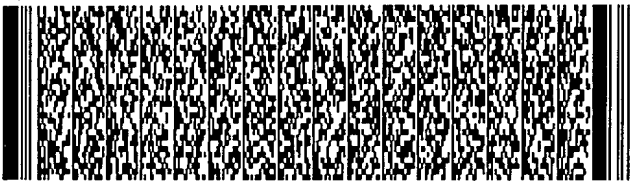
第 4/20 頁



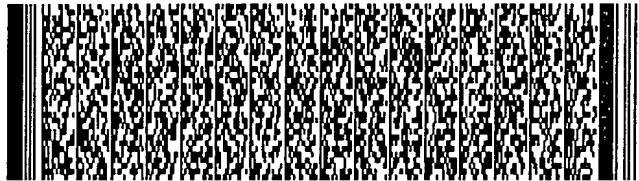
第 5/20 頁



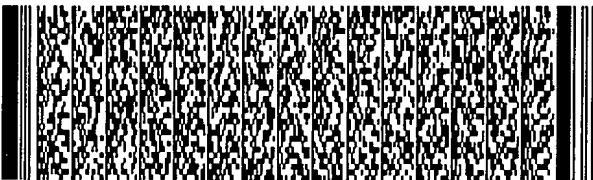
第 6/20 頁



第 6/20 頁



第 7/20 頁



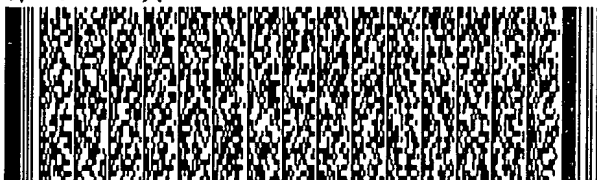
第 7/20 頁



第 8/20 頁



第 8/20 頁



第 9/20 頁



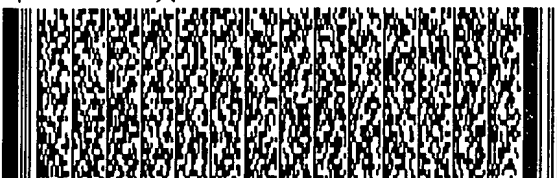
第 10/20 頁



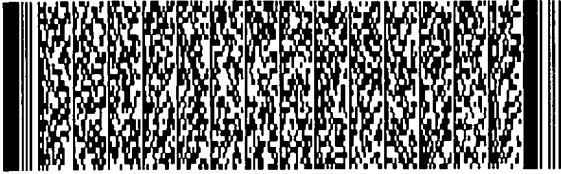
第 10/20 頁



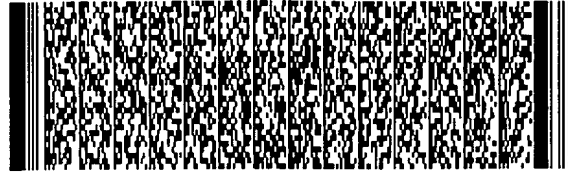
第 11/20 頁



第 11/20 頁



第 12/20 頁



第 12/20 頁



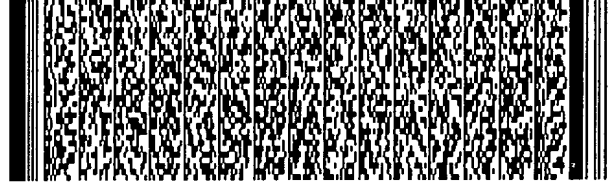
第 13/20 頁



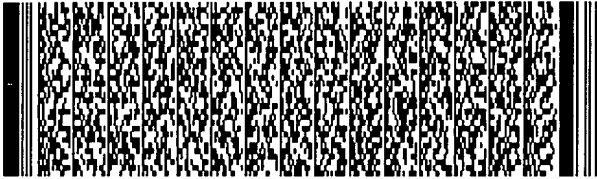
第 13/20 頁



第 14/20 頁



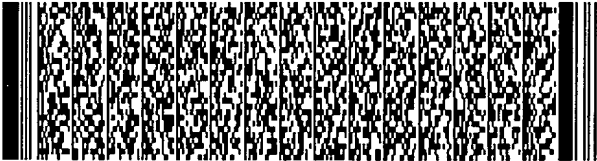
第 14/20 頁



第 15/20 頁



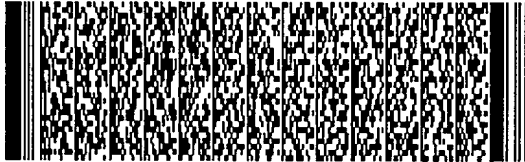
第 15/20 頁



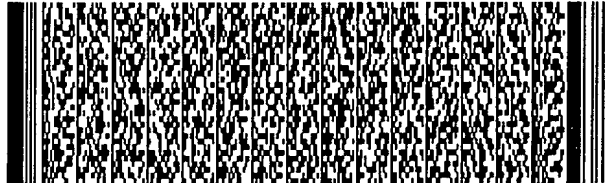
第 16/20 頁



第 16/20 頁



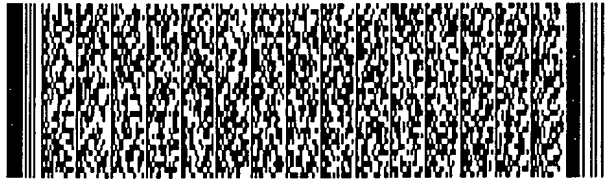
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

